

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-103640

(43)Date of publication of application : 16.04.1990

(51)Int.Cl.

G06F 11/22

(21)Application number : 63-256200

(71)Applicant : NEC CORP

(22)Date of filing : 11.10.1988

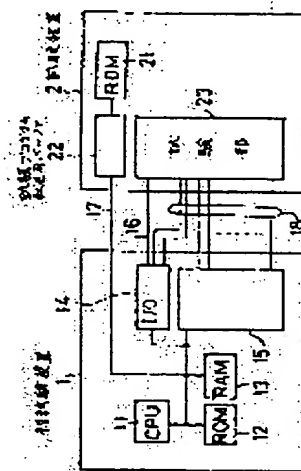
(72)Inventor : TAKIZAWA HIROSHI

## (54) TESTING SYSTEM FOR DEVICE WITH CPU

### (57)Abstract:

**PURPOSE:** To simplify a testing device, to shorten the testing time of the device, and to flexibly cope with a change in testing item by testing a device to be tested by transferring a test program from the testing device to the device to be tested.

**CONSTITUTION:** When a testing device 2 is coupled with a device 11 to be tested by means of a signal line 16, the device 2 transfers the control to a test program in a RAM 13 in the device 1 to be tested by transferring the test program in a ROM 21 to the RAM 13 through a signal line 17. Then the device 2 tests the device 1 by sending test data from a testing section 23 to an element 15 in the device 1 through a signal line 18 and inputting test results to the testing section 23 through a signal line 18. Therefore, the test can be performed in a short time and the device 2 can be simplified. In addition, a change in testing item can be coped with flexibly.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-103640

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月16日

G 06 F 11/22

3 1 0 A

7368-5B

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 CPUを有する装置の試験システム

⑯ 特 願 昭63-256200

⑰ 出 願 昭63(1988)10月11日

⑱ 発 明 者 瀧 澤 廣 志 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

CPUを有する装置の試験システム

2. 特許請求の範囲

1. CPU、ROM、RAMおよびCPUで制御される回路部を構成要素とし、CPUで制御される回路部にはデータ受信機能を有し、ROMには受信したデータをRAMに転送する制御プログラムが格納されている被試験装置と、前記被試験装置上で動作する試験プログラムを記憶しているROM、そのROMの内容を前記被試験装置へ送信する試験プログラム転送用バッファおよび試験部を構成要素とする試験装置とで構成され、前記被試験装置と前記試験装置が接続されている時、前記試験装置は前記被試験装置に対し前記試験プログラムのデータを送出し、前記被試験装置は前記試験装置から受信した試験プログラムのデータをRAMに転送し、データ転送が完了した時点でRAMに格納された試験プログラムに制御を移し、前記試験装置は前記試験部により被試験装置

の試験を行なう、CPUを有する装置の試験システム。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、CPUを有する装置を試験する試験システムに関する。

(従来の技術)

CPUによって制御される装置(以後被試験装置と称する)の内部の各要素は内部のCPUにより制御されるため、内部の各要素の状態を内部のCPUにより変化させながら試験する必要がある。

このため、上記被試験装置の試験を行なうときは、従来、被試験装置が持っている機能を利用して試験装置から適当な信号を入力し、それに対応した動作から正常かどうかを調べる方法か、被試験装置内に試験用のプログラムを予め入れておく方法が用いられていた。

第2図は被試験装置が持っている機能を利用する方法の一例を示すブロック図、第3図は被試験

装置内に試験プログラムを入れる方法の一例を示すブロック図である。

試験装置3は、CPU11、ROM12、RAM13、I/O14、CPU11によって制御される要素15からなる被試験装置1を試験部23により試験するものである。第2図の例では、被試験装置1は通常の動作を行ない、試験装置3は信号線18より被試験装置1の制御信号や被試験装置1の入力信号を送り、被試験装置1から信号線18を通して出力される結果が正しいかどうかを見る。第3図の例では信号線16より試験装置3がつながっているか見、つながっていれば被試験装置1の試験プログラムに制御を移し、試験装置3は信号線18を通して被試験装置1の試験を行う。

(発明が解決しようとする課題)

上述した従来の方法のうち、被試験装置が持っている機能を利用する方法では、被試験装置の動作が試験用に最適化されていないため、試験装置から被試験装置に加える信号と、それに対する被試験装置の動作が複雑となり、試験装置の規模が

試験用制御プログラムのデータを送出し、前記被試験装置は前記試験装置から受信した試験用制御プログラムのデータをRAMに転送し、データ転送が完了した時点でRAMに格納された試験用制御プログラムに制御を移し、前記試験装置は前記試験部により被試験装置の試験を行なう。

(作用)

試験装置から試験プログラムを被試験装置に転送して被試験装置の試験を行なうので、試験装置が簡単となり、試験時間も短くなり、試験項目の変更にも柔軟に対応できる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の、CPUを有する装置の試験システムの一実施例のブロック図である。

被試験装置1は、CPU11、ROM12、RAM13、I/O14、CPU11によって制御される要素15とからなり、試験装置2は試験部23、被試験装置1の試験プログラムが格納されているROM

が大きくなり、試験時間が長くなるという欠点がある。また、被試験装置内に試験用のプログラムを入れる方法では、被試験装置内に余分なプログラムがのるため、他のプログラムの量が制限されるか、コストがかかるかし、また試験項目の変更に対して柔軟に対応できないという欠点がある。

(課題を解決するための手段)

本発明の、CPUを有する装置の試験システムは、

CPU、ROM、RAMおよびCPUで制御される回路部を構成要素とし、CPUで制御される回路部にはデータ受信機能を有し、ROMには受信したデータをRAMに転送する制御プログラムが格納されている被試験装置と、前記被試験装置上で動作する試験用制御プログラムを記憶しているROM、そのROMの内容を前記被試験装置へ送信する試験プログラム転送用バッファおよび試験部を構成要素とする試験装置とで構成され、前記被試験装置と前記試験装置が接続されている時、前記試験装置は前記被試験装置に対し前記試

21、試験プログラム転送用バッファと22とからなっている。そして、被試験装置1と試験装置2は、試験装置2が被試験装置1につながっているかどうかを見る信号線16、試験プログラム転送用信号線17、入出力信号線18で接続されている。

次に、本実施例の動作を説明する。

被試験装置1は電源入力時にROM12内のプログラムを実行する。まず、信号線16により試験装置2が被試験装置1につながっているか見る。つながっていなければ通常の動作に入る。つながっていると、試験装置2は信号線17を通してROM21内の試験プログラムを被試験装置1内のRAM13に転送してRAM13内の試験プログラムに制御を移す。この後、試験装置2は試験部23から信号線18を通して被試験装置1の要素15に試験データを送り、その結果を信号線18を通して試験部23に入力することにより被試験装置1の試験を行なう。

(発明の効果)

以上説明したように本発明は、試験前に試験装

置から試験プログラムを被試験装置に転送し、被試験装置は転送されたプログラムをRAM上にうつし、RAM上の試験プログラムに制御を移し、被試験装置の試験を行うことにより、ROM上に試験プログラムを持つときと同様に短時間で試験を行なうことができ、また試験装置が簡単となり、また被試験装置の機能を利用する方法よりむしろ試験装置内の試験プログラムを増加させるだけで済み、また試験項目の変更に対しては、試験装置にあるROMの内容を変更すれば良く、被試験装置のROMの変更をしなくて良いので柔軟に対応できるという効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の、CPUを有する装置の試験システムの一実施例のブロック図、第2図は被試験装置が持っている機能を利用する方法の一例を示すブロック図、第3図は被試験装置内に試験プログラムを入れる方法の一例を示すブロック図である。

1…被試験装置、

2…試験装置、

11…CPU、

12…ROM、

13…RAM、

14…I/O、

15…CPU IIによって制御される要素、

16…試験装置2がつながっているかどうか被試験装置1が見るための信号線、

17…試験用プログラム転送用信号線、

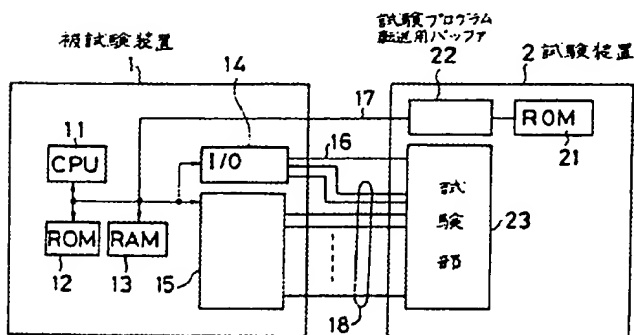
18…被試験装置1の入出力信号線、

21…試験用プログラムが格納されているROM、

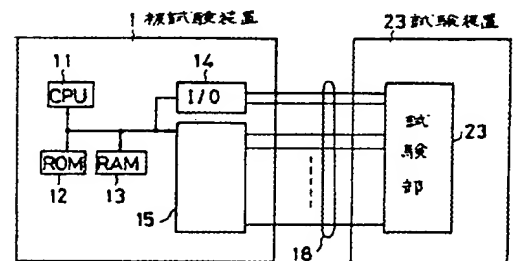
22…試験用プログラム転送用バッファ、

23…試験部。

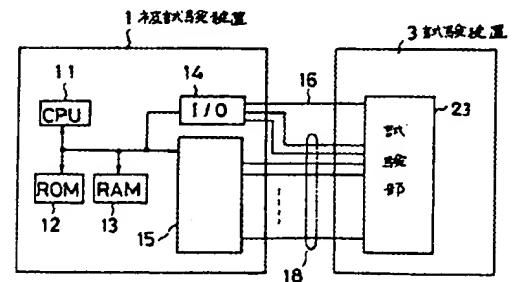
特許出願人 日本電気株式会社  
代理人 弁理士 内原 晋



第 1 図



第 2 図



第 3 図